

## News

Le lezioni del corso iniziano il giorno 5 ottobre 2020 secondo l'orario pubblicato dalla Facoltà di Ingegneria a questo [link](#)

## Gruppo TEAMS

Per seguire il corso è necessario iscriversi al gruppo TEAMS a questo [link](#)

## Esame

L'esame si compone di una parte "scritta" su [moodle a questo link](#) e di **parte orale**

## Materiale Didattico (non è consentito farne uso commerciale)

[Materiale del docente \(è necessario essere iscritti al gruppo TEAMS per accedervi\)](#)

## Materiale per esercitazioni/lab

### *Software Vivado*

[Manuale Nexys4 board](#)

[Schematico Nexys4](#)

[XDCfile](#)

[Griglia per esercizi](#)

## Materiale per consultazione

- Verilog HDL: A Guide to Digital Design and Synthesis, Samir Palnitkar, Prentice Hall 2003
- [Digital design : principles and practices](#) Wakerly, John F. 2006
- [Modeling, synthesis, and rapid prototyping with the Verilog HDL](#) Ciletti, Michael D. 1999
- [Verilog styles for synthesis of digital systems](#) Smith, David R.;Franzon, Paul D. 2000

## Pagina del corso in a.a. precedenti

- [anno accademico 2015/16](#)
- [anno accademico 2016/17](#)
- [anno accademico 2017/18](#)
- [anno accademico 2018/19](#)
- [anno accademico 2019/20](#)